

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Docket No. 245433US2S/Hyc



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Akihiro KAJITA, et al.

GAU:

SERIAL NO: 10/706,043

EXAMINER:

FILED: November 13, 2003

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-203662	July 30, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26, 803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 7 月 3 0 日

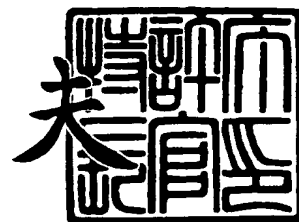
出 願 番 号
Application Number: 特 願 2 0 0 3 - 2 0 3 6 6 2
[ST. 10/C]: [J P 2 0 0 3 - 2 0 3 6 6 2]

出 願 人
Applicant(s): 株式会社東芝

2 0 0 3 年 1 1 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000302491

【提出日】 平成15年 7月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 19

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 梶田 明広

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

 【氏名】 東 和幸

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

 【弁理士】

 【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板上に形成され、且つ前記半導体基板の表面に形成された接続領域を有する能動素子構造と、
前記半導体基板上に配設された第 1 絶縁膜と、
前記第 1 絶縁膜の表面から前記接続領域に達するコンタクトホールと、
前記コンタクトホール内に配設されたコンタクトプラグと、
前記コンタクトプラグ内に形成された空隙内に充填され、且つ前記コンタクトプラグと異なる材料から構成され、且つ前記コンタクトプラグの表面と段差を有することなく連続する表面を有する埋め込み導電膜と、
を具備することを特徴とする半導体装置。

【請求項 2】

前記コンタクトプラグと前記埋め込み導電膜上に形成された配線溝内に配設され、且つ前記コンタクトプラグおよび前記埋め込み導電膜の上面と共通の底面を有するバリアメタルと、
前記配線溝内に配設され、且つ導電材料により構成された配線層と、
をさらに具備することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記コンタクトホールの内面と前記コンタクトプラグとの間に配設された第 1 介在導電膜をさらに具備することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記埋め込み導電膜と、前記第 1 介在導電膜とは、実質的に同じ材料から構成されることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記埋め込み導電膜および前記第 1 介在導電膜は TiN、TiSiN のいずれか、またはこれらを含む積層膜から実質的に構成されることを特徴とする請求項

4 に記載の半導体装置。

【請求項 6】

前記第 1 介在導電膜は、Ti、TiN、TiSiN のいずれか、またはこれらを含む積層膜から実質的に構成され、

前記埋め込み導電膜は、TiN、TiSiN、Ta、Ta₂N₅ のいずれか、またはこれらを含む積層膜から実質的に構成される、

ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 7】

前記第 1 介在導電膜の膜厚は、前記配線溝の断面の幅の 10% 以下であることを特徴とする請求項 2 に記載の半導体装置。

【請求項 8】

前記能動素子構造は、トランジスタを含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

前記コンタクトプラグは、W から実質的に構成されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】

半導体基板と、

前記半導体基板上に形成され、且つ前記半導体基板の表面に形成された接続領域を有する能動素子構造と、

前記半導体基板上に配設された第 1 絶縁膜と、

前記第 1 絶縁膜の表面から前記接続領域に達するコンタクトホールと、

前記コンタクトホールの内面上に配設された第 1 介在導電膜と、

前記第 1 介在導電膜上に配設され、且つ 10 nm 以下の膜厚を有し、且つ前記第 1 介在導電膜と異なる材料から構成された、第 2 介在導電膜と、

前記コンタクトホール内に充填された Cu から実質的に構成されたコンタクトプラグと、

を具備することを特徴とする半導体装置。

【請求項 11】

前記半導体装置は、前記第 1 絶縁膜上の第 2 絶縁膜内に形成され且つ前記コンタクトホールと接続された配線溝をさらに具備し、前記第 1 介在導電膜および前記第 2 介在導電膜は、前記コンタクトホールの内面から前記配線溝の内面に延在し、前記配線溝は前記コンタクトプラグと同じ材料により充填されることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

前記第 1 介在導電膜は、Ti、TiN、TiSiN のいずれか、またはこれらを含む積層膜から実質的に構成されることを特徴とする請求項 10 に記載の半導体装置。

【請求項 13】

前記第 2 介在導電膜は、W、WN、WSiN のいずれか、またはこれらを含む積層膜から実質的に構成されることを特徴とする請求項 10 に記載の半導体装置。

【請求項 14】

半導体基板上に、前記半導体基板の表面に形成された接続領域を有する能動素子構造を形成する工程と、

前記半導体基板上に、表面から前記接続領域に達するコンタクトホールを有する第 1 絶縁膜を形成する工程と、

前記コンタクトホールを第 1 導電材料膜により埋め込む工程と、

前記第 1 導電材料膜により埋め込む工程において前記コンタクトホール内に形成された空隙を、前記第 1 導電材料膜の表面と段差を有することなく連続する表面を有するように前記第 1 導電材料膜と異なる第 2 導電材料膜により埋め込む工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項 15】

前記第 1 絶縁膜を形成後、前記コンタクトホールの内面上から前記第 1 絶縁膜上に亘る第 3 導電材料膜を形成する工程をさらに具備することを特徴とする請求項 14 に記載の半導体装置の製造方法。

【請求項 16】

前記第2導電材料膜により埋め込む工程は、前記空隙内から前記第1絶縁膜上の前記第3導電材料膜上に前記第2導電材料膜を形成する工程と、

前記第1絶縁膜上の前記第3導電材料膜と、前記第1絶縁膜上の前記第3導電材料膜上の前記第2導電材料膜と、が除去されるように、前記第2導電材料膜および第3導電材料膜を平坦化する工程と、

を具備することを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】

半導体基板上に、前記半導体基板の表面に形成された接続領域を有する能動素子構造を形成する工程と、

前記半導体基板上に、表面から前記接続領域に達する配線孔を有する第1絶縁膜を形成する工程と、

前記配線孔の内面上に第1介在導電膜を形成する工程と、

前記第1介在導電膜上に、10nm以下の膜厚を有し、且つ前記第1介在導電膜と異なる材料から構成された、第2介在導電膜を形成する工程と、

前記配線孔を、Cuから実質的に構成された膜により埋め込む工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項18】

前記配線孔はコンタクトホールであることを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】

前記配線孔は、コンタクトホールと、前記コンタクトホール上で前記コンタクトと接続された配線溝と、を具備することを特徴とする請求項17に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、より詳しくは、例えば半導体装置の配線およびコンタクト構造に関する。

【0002】

【従来の技術】

半導体装置の伝達信号のRC遅延を抑制するために、配線材料として銅（Cu）が用いられる。この場合、銅が層間絶縁膜等の絶縁膜に拡散する事を防止するために、配線層と絶縁膜の間に拡散防止金属膜（バリアメタル）が設けられる。

【0003】

このような半導体装置の製造方法として、まず、最下層の配線層と、半導体基板上のトランジスタ等を接続するためのコンタクトホールが、層間絶縁膜内に形成される。次に、コンタクトホールが、密着層を介してタングステンにより埋め込まれる。次に、層間絶縁膜上の余分なタングステンがCMP（Chemical Mechanical Polish）法により除去されることにより、コンタクトプラグが設けられる。次に、層間絶縁膜上のさらなる層間絶縁膜内に配線溝が形成され、配線溝がバリアメタルを介して銅により埋め込まれることにより配線層が形成される。

【0004】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【0005】**【特許文献1】**

特開2001-298083号公報

【0006】**【特許文献2】**

米国特許第6,399,486号明細書

【0007】**【特許文献3】**

米国特許第6,258,707号明細書

【0008】**【発明が解決しようとする課題】**

コンタクトホールをタングステンにより埋め込む工程の際、図13、図14に示すように、シーム（ボイド）52と呼ばれる空洞が形成されることがある。図13の場合の原因は、コンタクトホール51が樽形状に形成されるためである。このため、コンタクトホール51がタングステンにより埋め込まれる前に、コン

タクトホール 51 の開口がふさがれてしまう。

【0009】

また、図 14 の場合は、密着層 53 の膜厚がコンタクトホール 51 の上部で、他の部分より厚いためである。これは、密着層 53 を形成する際に採用されるスパッタリング法または CVD (Chemical Vapor Deposition) 法の性質に起因する。この場合も、図 13 の場合と同様に、コンタクトホール 51 がタングステン 54 により埋め込まれる前に、コンタクトホール 51 の開口がふさがれてしまう。

【0010】

図 13、図 14 のように、コンタクトホール 51 内にシーム 52 が形成された結果、以下のような問題が生じる。すなわち、余分なタングステンを CMP で除去する工程、配線溝 57 を形成するための RIE (Reactive Ion Etching) 工程において、シーム 52 が再び開口したり、径が増大したりする。この結果、図 15 に示すように、バリアメタル 55 が形成される際、バリアメタル 55 がシーム 52 内に入り込んでしまう。このため、配線溝 57 内では、バリアメタル 55 の断絶部 56 が形成される。

【0011】

断絶部 56 が形成された状態で、配線溝 57 内に配線の材料膜（銅）が形成されると、断絶部 56 を基点として配線層でのエレクトロマイグレーション耐性が劣化する等、信頼性が低下する。バリアメタル 55 の膜厚の値が、シーム 52 の開口部の径より小さい場合、またはシーム 52 の深さより小さい場合、この問題は顕著となる。

【0012】

なお、シーム 52 が形成されない場合でも、タングステンはその表面が粗いため、コンタクトホール 51 は完全には埋まらずに空隙が生じる。このため、この空隙から、配線溝 57 を形成するための RIE 工程で、空隙が広がり、シームと同様と状態が形成される。

【0013】

本発明は、上記課題を解決するためになされたものであり、その目的とすると

ころは、エレクトロマイグレーションの耐性が劣化することを防止し、高信頼性を有する半導体装置を提供しようとするものである。

【0014】

【課題を解決するための手段】

本発明の第1の視点による半導体装置は、半導体基板と、前記半導体基板上に形成され、且つ前記半導体基板の表面に形成された接続領域を有する能動素子構造と、前記半導体基板上に配設された第1絶縁膜と、前記第1絶縁膜の表面から前記接続領域に達するコンタクトホールと、前記コンタクトホール内に配設されたコンタクトプラグと、前記コンタクトプラグ内に形成された空隙内に充填され、且つ前記コンタクトプラグと異なる材料から構成され、且つ前記コンタクトプラグの表面と段差を有することなく連続する表面を有する埋め込み導電膜と、を具備することを特徴とする。

【0015】

本発明の第2の視点による半導体装置は、半導体基板と、前記半導体基板上に形成され、且つ前記半導体基板の表面に形成された接続領域を有する能動素子構造と、前記半導体基板上に配設された第1絶縁膜と、前記第1絶縁膜の表面から前記接続領域に達するコンタクトホールと、前記コンタクトホールの内面上に配設された第1介在導電膜と、前記第1介在導電膜上に配設され、且つ10nm以下の膜厚を有し、且つ前記第1介在導電膜と異なる材料から構成された、第2介在導電膜と、前記コンタクトホール内に充填されたCuから実質的に構成されたコンタクトプラグと、を具備することを特徴とする。

【0016】

本発明の第3の視点による半導体装置の製造方法は、半導体基板上に、前記半導体基板の表面に形成された接続領域を有する能動素子構造を形成する工程と、前記半導体基板上に、表面から前記接続領域に達するコンタクトホールを有する第1絶縁膜を形成する工程と、前記コンタクトホールを第1導電材料膜により埋め込む工程と、前記第1導電材料膜により埋め込む工程において前記コンタクトホール内に形成された空隙を、前記第1導電材料膜の表面と段差を有することなく連続する表面を有するように前記第1導電材料膜と異なる第2導電材料膜によ

り埋め込む工程と、を具備することを特徴とする。

【0017】

本発明の第4の視点による半導体装置の製造方法は、半導体基板上に、前記半導体基板の表面に形成された接続領域を有する能動素子構造を形成する工程と、前記半導体基板上に、表面から前記接続領域に達する配線孔を有する第1絶縁膜を形成する工程と、前記配線孔の内面上に第1介在導電膜を形成する工程と、前記第1介在導電膜上に、10nm以下の膜厚を有し、且つ前記第1介在導電膜と異なる材料から構成された、第2介在導電膜を形成する工程と、前記配線孔を、Cuから実質的に構成された膜により埋め込む工程と、を具備することを特徴とする。

【0018】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【0019】

【発明の実施の形態】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0020】

(第1実施形態)

本発明者等は、本発明の開発の過程において、図15を参照して述べたようにシーム52上でバリアメタル55が断絶することを回避可能な半導体装置について研究した。その結果、本発明者等は、以下に述べるような知見を得た。

【0021】

バリアメタル55は、その膜厚が小さいために、シーム52に入り込む。このため、バリアメタル55の膜厚を、シーム52の開口部より大きくすることが考

えられる。こうすることにより、バリアメタル 55 はシーム 52 に入り込むことを回避できるため、バリアメタル 55 の断絶部 56 は形成されない。

【0022】

しかしながら、バリアメタル 55 の膜厚を大きくすると以下のような問題を生じる。すなわち、バリアメタル 55 の膜厚が大きくなると、バリアメタル 55 が配線溝 57 を占める割合が大きくなる。バリアメタル 55 に用いられる材料は、通常、銅の数十倍程度の比抵抗値を有する。この結果、配線層の抵抗値が増大し、半導体装置の性能が低下する。半導体装置のさらなる微細化に伴い、配線溝 57 の断面積が小さくなると、バリアメタル 55 が配線溝 57 を占める割合が高くなり、上記問題は、より顕著となる。以下に、このような知見に基づいて構成された本発明の第 1 実施形態について説明する。

【0023】

図 1 は、本発明の第 1 実施形態に係る半導体装置の断面構造を概略的に示す図である。図 1 に示すように、半導体基板 1 上に、トランジスタ（能動素子構造）2 が形成される。トランジスタ 2 は、ソース／ドレイン拡散層（接続領域）3、ゲート絶縁膜（図示せぬ）上のゲート電極 4 を有する。なお、図 1 では、半導体基板上に形成された能動素子構造としてトランジスタを例示している。しかしながら、これに限られず、所定の動作、作用、効果を呈し、電気的な接続領域を有していれば、いかなる素子構造であっても構わない。

【0024】

半導体基板 1 上の全面に層間絶縁膜（第 1 絶縁膜）11 が設けられる。層間絶縁膜 11 の上面から、ゲート電極 4、ソース／ドレイン拡散層 3 に達するコンタクトホール 12 が形成される。コンタクトホール 12 の内面上、および層間絶縁膜 11 上には、第 3 導電材料からなる密着層（バリアメタル）13（第 1 介在導電膜）が設けられる。第 3 導電材料として、例えば Ti（チタン）、TiN（窒化チタン）、TiSiN（窒化チタンシリサイド）、およびこれらのうち幾つかを含む積層膜により構成される。

【0025】

コンタクトホール 12 が、密着層 13 を介して第 1 導電材料により充填される

ことにより、コンタクトプラグ 14 が形成される。第 1 導電材料は、W（タングステン）により実質的に構成される。

【0026】

コンタクトプラグ 14 内にはシーム（空隙）15 が形成される。シーム 15 内には、埋め込み導電膜 16 が設けられる。埋め込み導電膜 16 は、第 1 導電材料と異なる第 2 導電材料により実質的に構成される。第 2 導電材料は、第 1 導電材料より良好に埋め込まれるような材料が選択される。具体的には、TiN、TiSiN、Ta（タンタル）、Ta₂N（窒化タンタル）、およびこれらのうち幾つかを含む積層膜を用いることができる。これらの導電材料（第 2 導電材料）が用いられる他の理由については後述する。埋め込み導電膜 16 は、コンタクトプラグ 14 の表面と段差を有することなく連続する表面を有する。

【0027】

層間絶縁膜 11 上に、層間絶縁膜 21（第 2 絶縁膜）が設けられる。層間絶縁膜 21 は、例えば誘電率 2.7 以下の有機膜が用いられる。層間絶縁膜 21 上に、保護膜 22 が設けられる。保護膜 22 は、層間絶縁膜 21 を保護する機能を有し、例えばシリコン酸化膜により構成される。

【0028】

保護膜 22 および層間絶縁膜 21 内に配線溝 23 が形成される。配線溝 23 は、保護膜 22 の上面から層間絶縁膜 21 を貫通して、底面がコンタクトプラグ 14 に達する。

【0029】

配線溝 23 の内面上にバリアメタル 24 が設けられる。バリアメタル 24 は、例えば Ta、Ta₂N、TiSiN により実質的に構成される。バリアメタル 24 の底面は、コンタクトプラグ 14 および埋め込み導電膜 16 の表面と共通である。配線溝 23 が、バリアメタル 24 を介して、例えば Cu により充填されることにより、配線層 25 が形成される。

【0030】

次に、図 1 に示す半導体装置の製造方法について、図 1～図 7 を用いて説明する。図 2～図 7 は、それぞれ、図 1 の半導体装置の製造工程を順に示している。

図2に示すように、半導体基板1の表面にトランジスタ2が形成された後、半導体基板1上に層間絶縁膜11が形成される。次に、層間絶縁膜11内に、例えばフォトリソグラフィ工程、およびRIE等のエッチング技術を用いて、コンタクトホール12が形成される。

【0031】

次に、図3に示すように、半導体基板1上の全面に、例えばスパッタリング法、CVD法、またはこれらの併用により、密着層13の材料膜（第3導電材料からなる膜13a）が堆積される。

【0032】

次に、図4に示すように、半導体基板1上の全面に、例えばCVD法により、コンタクトプラグ14の材料膜（第1導電材料からなる膜）14aが堆積される。この結果、コンタクトホール12が第1導電材料膜14aに埋め込まれる。このとき、コンタクトホール12内にシーム15が形成される。

【0033】

次に、図5に示すように、層間絶縁膜11上の第3導電材料膜13a上の第1導電材料膜14aが、例えばCMP法により除去される。この結果、コンタクトプラグ14が形成される。この際、第3導電材料膜13aがエッチングストッパーとして機能する。また、この工程の際、コンタクトホール12上の第3導電材料膜13aが一部除去されることにより、シーム15が開口する。

【0034】

次に、図6に示すように、半導体基板1上の全面に、埋め込み導電膜16の材料膜（第2導電材料からなる膜16a）が堆積される。この際、例えばスパッタリング法に代表される物理蒸着法が用いられる。または、CVD法を用いることもでき、こちらの方が好ましい。これは、CVD法によれば、各部で段差があまり形成されることなく第2導電材料膜16aを堆積することができるからである。この工程の際、シーム15内に埋め込み導電膜16が形成される。また、先に形成された、シーム15の開口も埋め込み導電膜16によりふさがれる。

【0035】

次に、図7に示すように、層間絶縁膜11上の、第3導電材料膜13aおよび

第2導電材料膜16aが、例えばCMP法により除去される。この結果、コンタクトプラグ14および埋め込み導電膜16が形成される。

【0036】

第3導電材料膜13aは、上記したように、Ti、TiN、TiSiN、これらの積層膜により構成される。また、第2導電材料膜16aは、上記したように、TiN、TiSiN、Ta、Ta₂N₅、これらの積層膜により構成される。これらの材料は、同一の条件下でCMPを用いて除去される。すなわち、第3導電材料膜13aおよび第2導電材料膜16aは、同一の条件下で除去されるように、同様の材料が選択される。このため、図7に示すCMP工程において、層間絶縁膜11上の第3導電材料膜13aおよび第2導電材料膜16aは同時に除去される。

【0037】

次に、図1に示すように、半導体基板1上の全面に、公知の方法により、層間絶縁膜21および保護膜22が形成される。次に、層間絶縁膜21および保護膜22内に、公知の方法により、配線溝23が形成される。次に、配線溝23内に、バリアメタル24を介して配線層25が、公知の方法により形成される。この際、シーム15の開口は、埋め込み導電膜16によりふさがれており、コンタクトプラグ14および埋め込み導電膜16の表面には段差が形成されていない。このため、バリアメタル24は、シーム15上で断絶されない。この後、所望により、さらなる層間絶縁膜、コンタクトプラグ、配線層が形成される（いずれも図示せず）。

【0038】

本発明の第1実施形態に係る半導体装置によれば、半導体基板1に達するコンタクトプラグ14内のシーム15内に、埋め込み導電膜16が設けられる。このため、シーム15の開口は埋め込み導電膜16によりふさがれ、コンタクトプラグ14および埋め込み導電膜16の表面には段差が形成されない。そして、この表面上にバリアメタル24が設けられる。よって、バリアメタル24がシーム15内に入り込むことを回避することにより、バリアメタル24が配線溝23内で断絶されることを防止できる。バリアメタル24の断絶を防止することにより、

エレクトロマイグレーション耐性の劣化の回避が可能となる。すなわち、高信頼性の半導体装置を実現できる。

【0039】

また、第1実施形態によれば、埋め込み導電膜16の材料（第2導電材料）と、密着層13の材料（第3導電材料）とが、同一の条件下のCMP工程で除去されるように選択される。よって、半導体基板1上の、これら材料膜を同一工程で除去することができ、工程数を削減できる。

【0040】

また、第1実施形態によれば、バリアメタル24の膜厚を厚くするという方法を採用せずに、シーム15の上部でバリアメタル24が断絶する問題を回避できる。このため、配線層25に対するバリアメタル24の体積を、従来と同様に低く抑えることができる。すなわち、配線層25の抵抗値を低く抑えつつ、高信頼性の半導体装置を実現できる。

【0041】

配線層25の抵抗値を増加を防ぐ観点より、バリアメタル24の膜厚が配線溝23の断面の幅の10%以下の場合、シーム15内にバリアメタル24が入り込みやすくなる。したがって、このような場合、第1実施形態は特に有効である。

【0042】

（第2実施形態）

本発明者等は、本発明の開発の過程において図15の問題を回避可能な半導体装置を実現するための過程において、以下のような知見を得た。これについて、まず説明する。

【0043】

配線層の材料として銅を用い、この銅をメッキ法により形成することが知られている。また、このような方法によれば、Cuは良好に形成される。Wと比較した場合、良好に形成される上に、Cuの比抵抗値はタングステンより小さい。そこで、コンタクトプラグの材料として、Cuを用いることが考えられる。

【0044】

しかしながら、半導体基板と接するコンタクトプラグをCuにより形成すると

、以下のような問題を生じる。すなわち、この場合、コンタクトホール内には、バリアメタルを介してCuが設けられる。バリアメタルの膜厚は非常に薄く、またCuの有する性質のために、熱工程の際に、Cuがバリアメタルを介して半導体基板に拡散してしまう。以下に、このような知見に基づいて構成された本発明の第2実施形態について説明する。

【0045】

図8は、本発明の第2実施形態に係る半導体装置の断面構造を概略的に示す図である。図8に示すように、コンタクトホール12の内面上には、バリアメタル13を介して、導電膜31（第2介在導電膜）が設けられる。導電膜31については後に詳述する。

【0046】

コンタクトホール12が、バリアメタル13および導電膜31を介して、第4導電材料により充填されることにより、コンタクトプラグ32が形成される。第4導電材料として、低抵抗で且つ良好に埋め込まれる材料が用いられ、典型的には、Cuが用いられる。その他の構成は、第1実施形態と同様である。

【0047】

次に、導電膜31について説明する。導電膜31を構成する第5導電材料として、熱処理工程の際、コンタクトプラグ32を構成する第4導電材料の分子（原子）がバリアメタル13を介して半導体基板1に拡散する事を防止できるようなものが選択される。具体的には、W、WN（窒化タングステン）、WSiN（窒化タングステンシリサイド）、およびこれらのうち幾つかを含む積層膜を用いることができる。

【0048】

また、導電膜31の膜厚は厚くなるほど、コンタクトプラグ32からの金属分子の拡散を防止する機能が大きくなる。しかしながら、導電膜31の膜厚が大きすぎると、従来技術の場合と同様に、コンタクトホール12が埋め込まれる前に、コンタクトホール12の開口部がふさがれてしまう。このため、以上の要素を考慮して、導電膜31の厚さは、1～10nmとされ、好ましくは2～5nmとされる。または、コンタクトホール12の直径の1～10%、好ましくは、2～

5%と設定することもできる。

【0049】

次に、図8の半導体装置の製造工程について説明する。図9は図8の半導体装置の製造工程の一部を概略的に示しており、図3に続く工程を示す。図10は図9に続く工程を示している。図9に示すように、例えばスパッタリング法、CVD法等により第5導電材料膜31aが、第3導電材料膜13a（バリアメタルの材料膜）上に形成される。または、ALD（Atomic Layer Deposition）法を用いることにより、第5導電材料膜31aの膜厚を高精度で制御することが可能である。その後、層間絶縁膜11上の第5導電材料膜31a、第3導電材料膜13aが、CMP法により除去されることにより、導電膜31およびバリアメタル13が形成される。

【0050】

次に、図10に示すように、半導体基板1上の全面にメッキ法により、第4導電材料からなる材料膜32aが堆積される。メッキ法により形成されたコンタクトプラグ32は、タングステンを用いたCVD法等により形成された場合と異なり、コンタクトホール12内に良好に埋め込まれる。このため、シームは形成されない。

【0051】

次に、層間絶縁膜11上の第4導電材料膜32aが除去されることにより、コンタクトプラグ32が形成される。この後、第1実施形態と同様に、層間絶縁膜21、バリアメタル24、配線層25等が形成される。この後、所望により、さらなる層間絶縁膜、コンタクトプラグ、配線層が形成される（いずれも図示せず）。

【0052】

本発明の第2実施形態に係る半導体装置によれば、半導体基板1に達するコンタクトプラグ32は、良好に埋め込まれる導電材料により構成される。このため、タングステンによりコンタクトプラグを形成する場合と異なり、コンタクトプラグ32内にシームが形成されることを回避できる。よって、第1実施形態と同様の効果を得られる。また、コンタクトプラグ32を構成する導電材料に、低抵

抗の物質を使用しているため、コンタクトプラグ 32 の抵抗を低く抑えることができる。

【0053】

また、本発明の第2実施形態では、コンタクトプラグ 32 は、バリアメタル 13 および導電膜 31 を介して、コンタクトホール 12 内に形成される。このため、熱処理工程の際、コンタクトプラグ 32 の分子が、半導体基板 1 に拡散することを防止できる。

【0054】

(第3実施形態)

第3実施形態は、第2実施形態をいわゆるデュアルダマシン構造の半導体装置に適用した形態である。

【0055】

図11は、本発明の第3実施形態に係る半導体装置の断面構造を概略的に示している。図11に示すように、バリアメタル 13 は、コンタクトホール 12 の内面上から、配線溝 23 の内面上に亘って設けられる。導電膜 31 は、バリアメタル 13 上に延在する。すなわち、コンタクトホール 12 内から配線溝 23 内に亘って設けられる。コンタクトホール 12 および配線溝 23 がバリアメタル 13 および導電膜 31 を介して、第4導電材料膜により埋め込まれることにより、配線層 25 およびコンタクトプラグ 32 が形成される。

【0056】

導電膜 31 の膜厚は、コンタクトホール 12 内にシームが形成されないように第2実施形態と同様にして決定される。しかしながら、第3実施形態では、さらに別の要因も考慮される。すなわち、配線溝 23 内に配線層 25 より高抵抗の導電膜 31 が形成されるため、導電膜 31 の配線層 25 に対する体積の増大を防ぐ観点が必要となる。以上を考慮して、第3実施形態における導電膜 31 の膜厚は、1～7 nm、好ましくは2～5 nmとされる。

【0057】

次に、図11の半導体装置の製造工程について説明する。図12は、図11の半導体装置の製造工程を概略的に示している。図12に示すように、半導体基板

1の表面にトランジスタ2が形成された後、半導体基板1上に層間絶縁膜11が形成される。次に、層間絶縁膜11内に、例えばフォトリソグラフィ工程、およびRIE等のエッチング技術を用いて、ソース／ドレイン拡散層3と接続された配線溝23およびコンタクトホール12が形成される。

【0058】

次に、図11に示すように、例えばスパッタリング法、CVD法、またはこれらの併用によりコンタクトホール12内および配線溝23内の表面に、第3導電材料膜13a（バリア金属13の材料膜）が堆積される。次に、第3導電材料膜13a上に、スパッタリング法、CVD法、これらの併用により、第5導電材料膜31a（導電膜31の材料膜）が堆積される。第5導電材料膜31aの形成に、第2実施形態と同様にALD法を用いることももちろん可能である。次に、コンタクトホール12および配線溝23が、例えばメッキ法を用いて第4材料膜32aにより充填される。次に、層間絶縁膜11上の第4材料膜32aがCMP法等により除去されることにより、コンタクトプラグ32、配線層25が形成される。この後、所望により、さらなる層間絶縁膜、コンタクトプラグ、配線層が形成される（いずれも図示せず）。

【0059】

本発明の第3実施形態に係る半導体装置によれば、第2実施形態と同様の効果を得られる。さらに、第3実施形態によれば、コンタクトプラグ32と配線層25とがデュアルダマシン構造を有する。このため、製造工程数の削減、低抵抗の配線層25およびコンタクトプラグ14、コンタクトプラグ14内でのシーム形成の回避、を同時に達成可能な半導体装置を実現できる。

【0060】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【0061】

【発明の効果】

以上、詳述したように本発明によれば、配線層を低抵抗値に抑え、且つ半導体

基板にコンタクトプラグの材料の分子が拡散する事を防止しつつ、配線層のバリアメタルが断絶されることを回避可能な半導体装置を提供できる。

【図面の簡単な説明】

- 【図 1】 本発明の第 1 実施形態に係る半導体装置を概略的に示す断面図。
- 【図 2】 図 1 の半導体装置の製造工程を概略的に示す断面図。
- 【図 3】 図 2 に続く工程を概略的に示す断面図。
- 【図 4】 図 3 に続く工程を概略的に示す断面図。
- 【図 5】 図 4 に続く工程を概略的に示す断面図。
- 【図 6】 図 5 に続く工程を概略的に示す断面図。
- 【図 7】 図 6 に続く工程を概略的に示す断面図。
- 【図 8】 本発明の第 2 実施形態に係る半導体装置を概略的に示す断面図。
- 【図 9】 図 8 の半導体装置の製造工程を概略的に示す断面図。
- 【図 10】 図 9 に続く工程を概略的に示す断面図。
- 【図 11】 本発明の第 3 実施形態に係る半導体装置を概略的に示す断面図

。

- 【図 12】 図 11 の半導体装置の製造工程を概略的に示す断面図。
- 【図 13】 従来の半導体装置のコンタクトプラグ近傍を示す断面図。
- 【図 14】 従来の半導体装置のコンタクトプラグ近傍を示す断面図。
- 【図 15】 従来の半導体装置のコンタクトプラグ近傍を示す断面図。

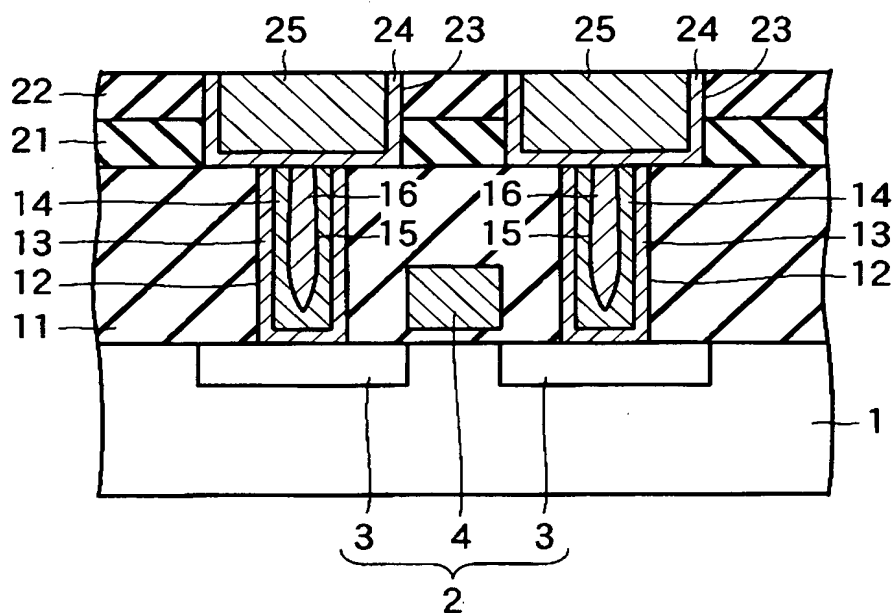
【符号の説明】

1…半導体基板、2…トランジスタ、3…ソース／ドレイン拡散層、4…ゲート電極、11…層間絶縁膜、12…コンタクトホール、13…密着層（バリアメタル）、13a…第 3 導電材料膜、14…コンタクトプラグ、14a…第 1 導電材料膜、15…シーム、16…埋め込み導電膜、16a…第 2 導電材料膜、21…層間絶縁膜、22…保護膜、23…配線溝、24…バリアメタル、25…配線層、31…導電膜、31a…第 5 導電材料膜、32…コンタクトプラグ、32a…第 4 導電材料膜。

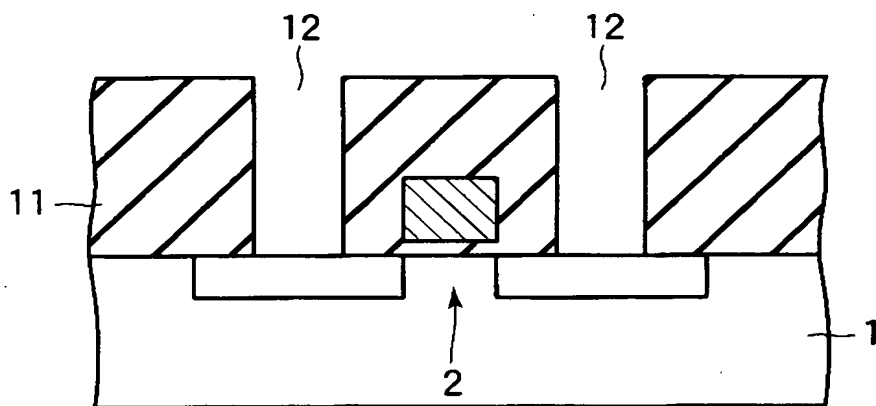
【書類名】

図面

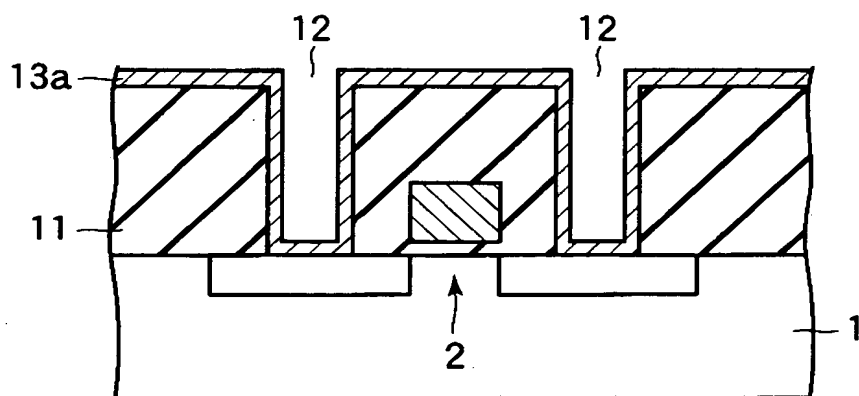
【図 1】



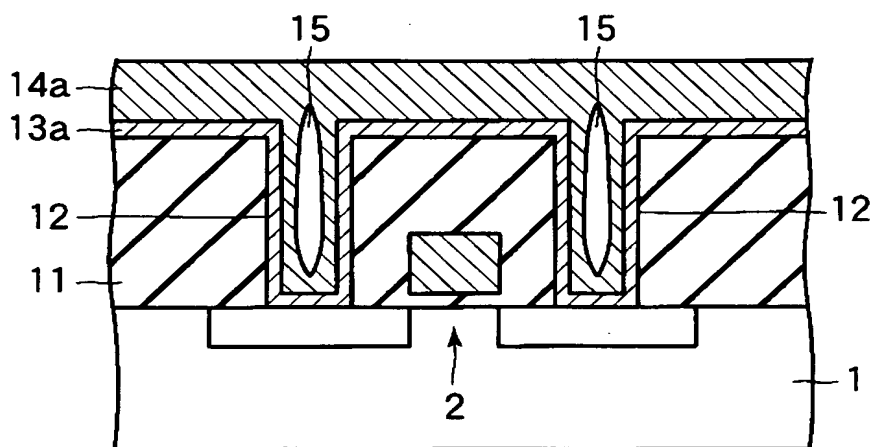
【図 2】



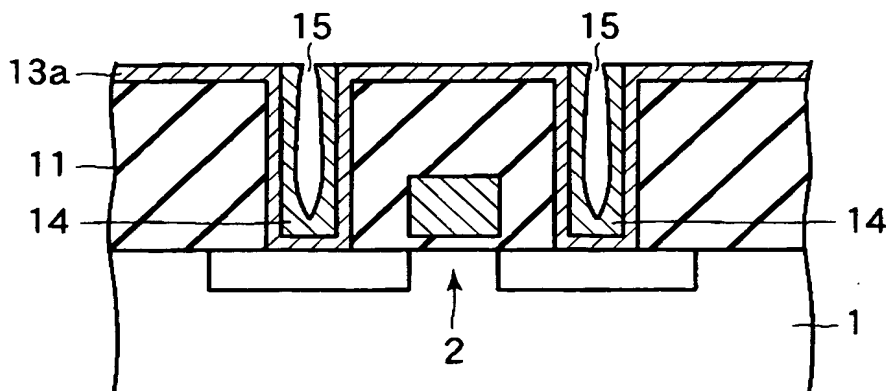
【図 3】



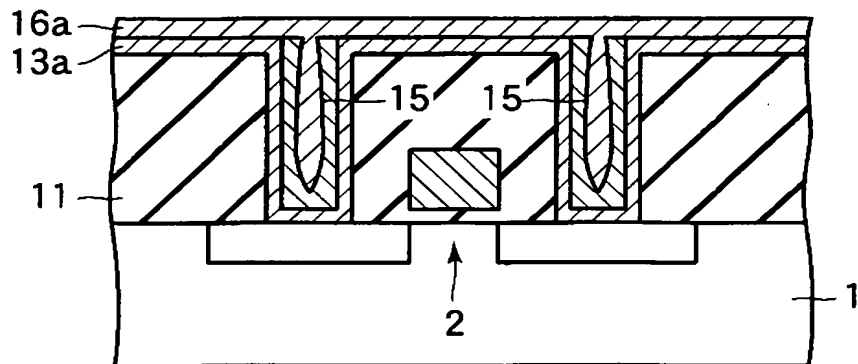
【図 4】



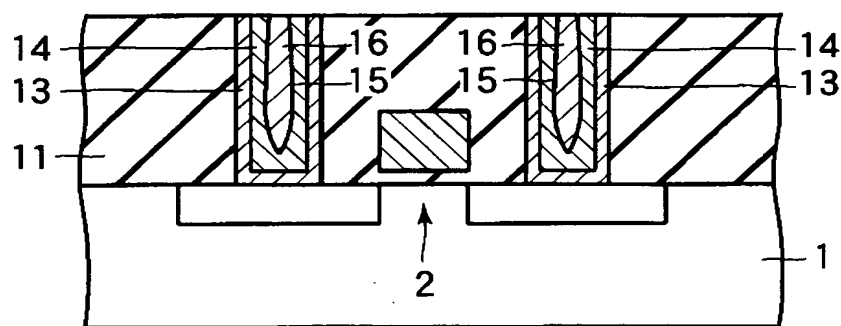
【図 5】



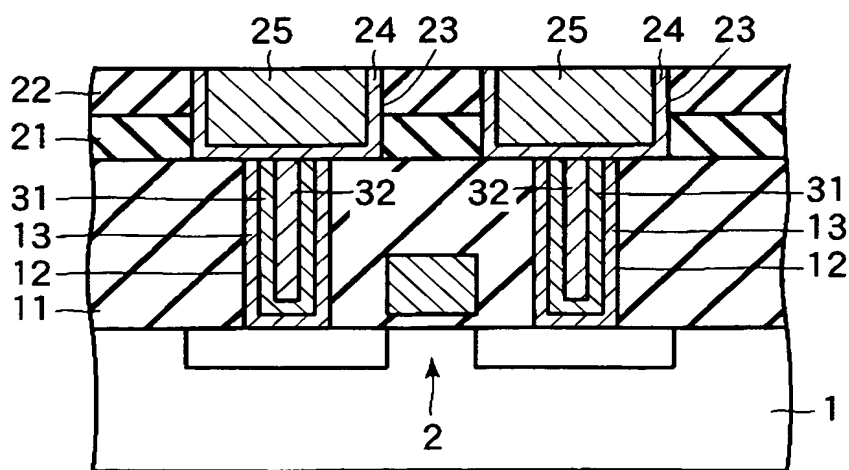
【図 6】



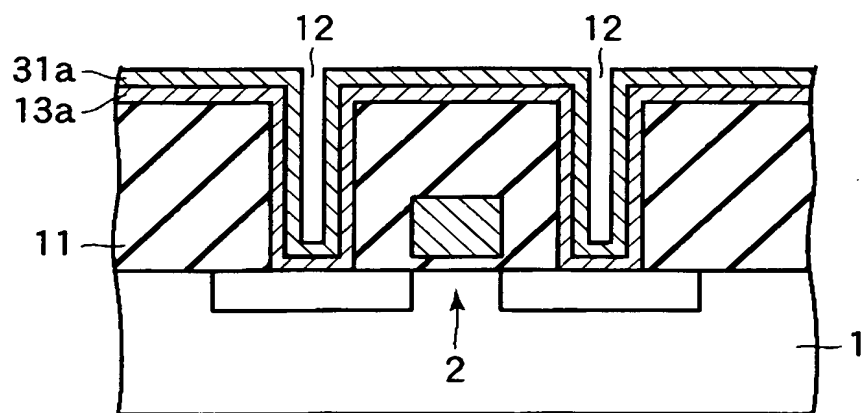
【図 7】



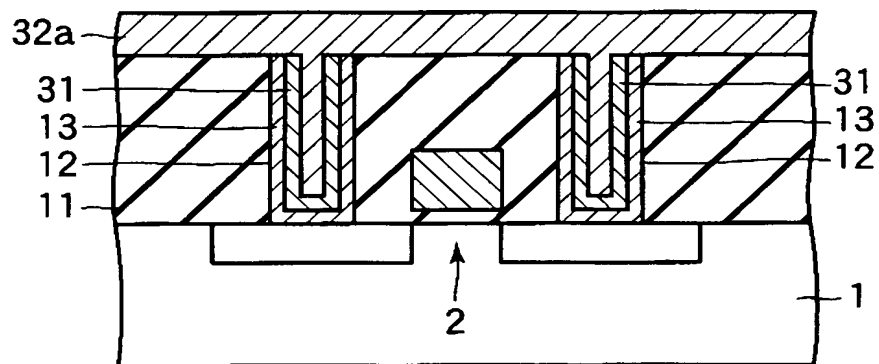
【図 8】



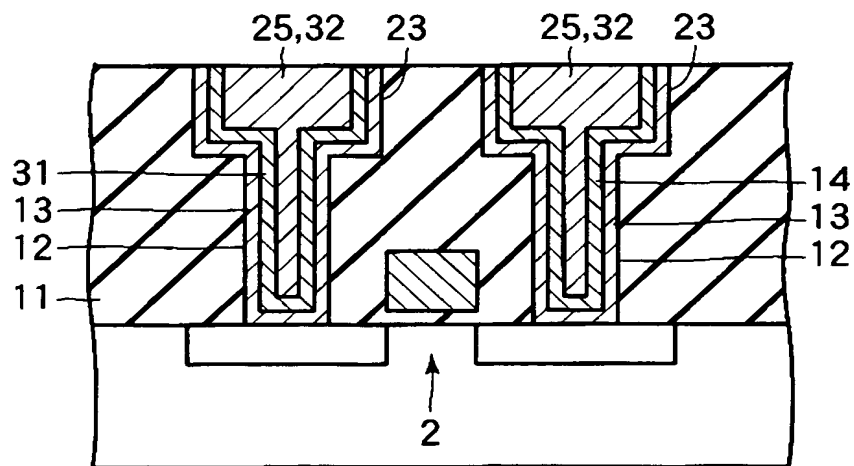
【図 9】



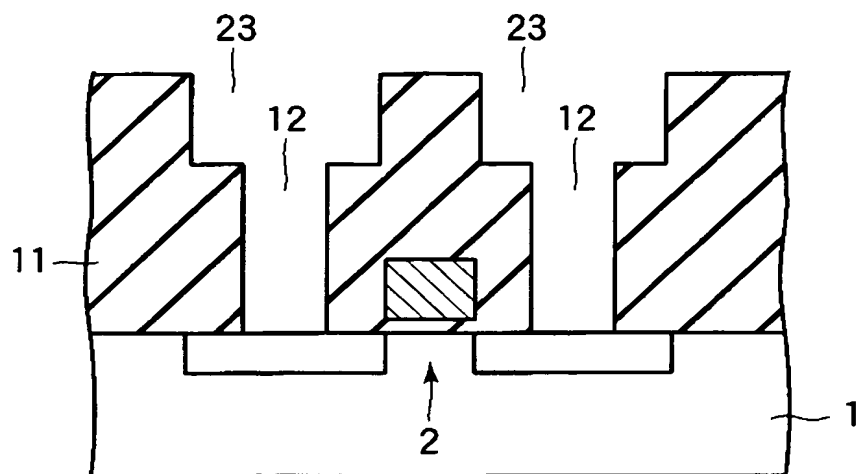
【図 10】



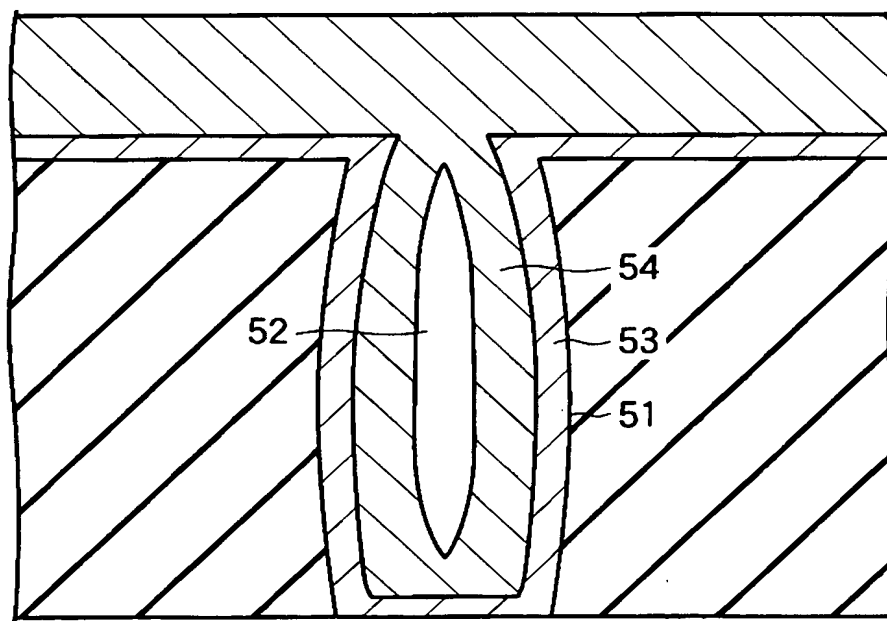
【図 11】



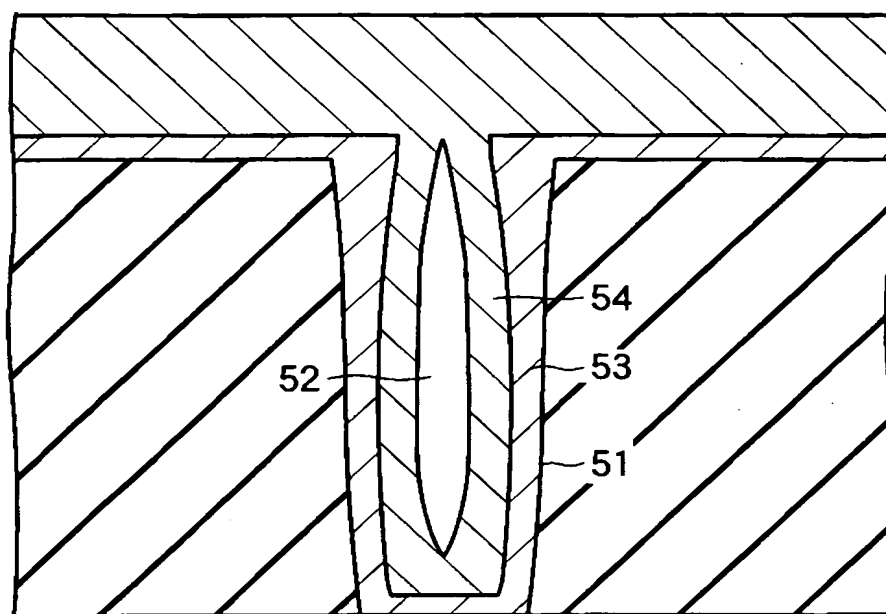
【図 12】



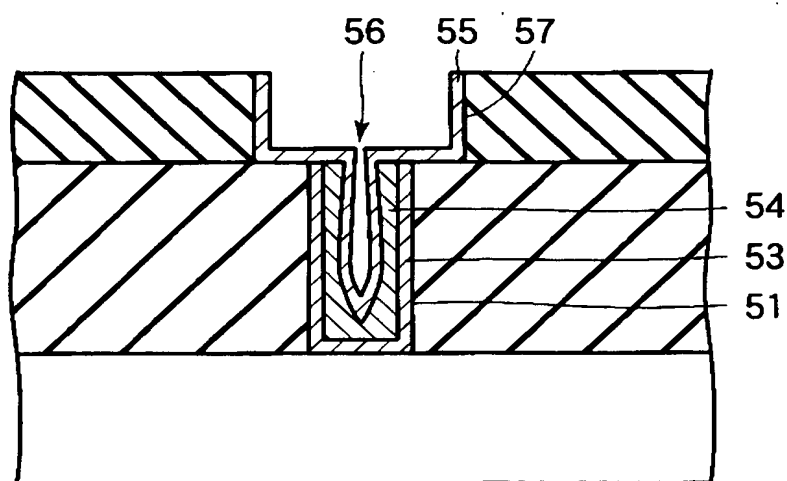
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 エレクトロマイグレーションの耐性が劣化することを防止可能な半導体装置を提供する。

【解決手段】 半導体装置は、半導体基板 1 上に形成され、半導体基板の表面に形成された接続領域 3 を有する能動素子構造 2 を有する。コンタクトホール 12 は、半導体基板上に配設された第 1 絶縁膜 11 の表面から接続領域に達する。コンタクトホール内にはコンタクトプラグ 14 が配設される。コンタクトプラグ内に形成された空隙 15 内には、コンタクトプラグと異なる材料から構成される埋め込み導電膜 16 が形成される。埋め込み導電膜はコンタクトプラグの表面と段差を有することなく連続する表面を有する。

【選択図】 図 1

特願 2 0 0 3 - 2 0 3 6 6 2

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝